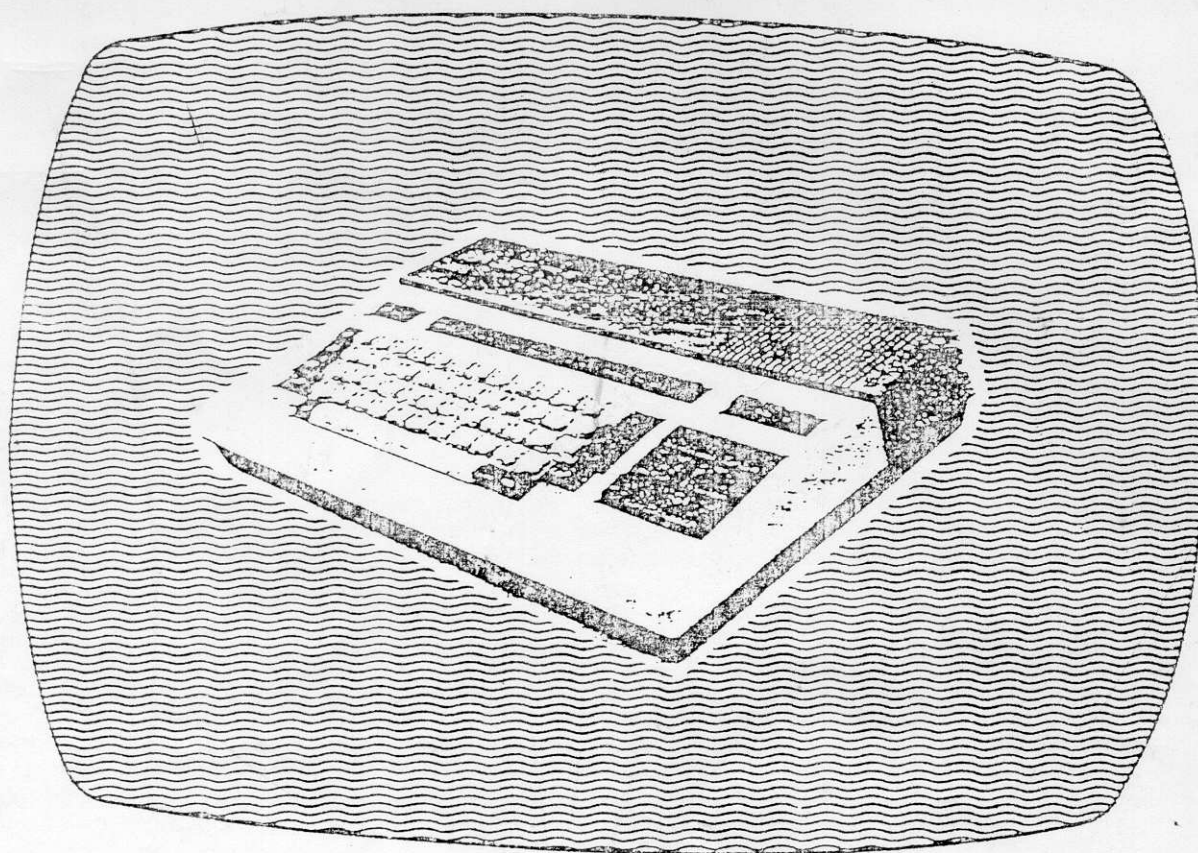




MICROCOMPUTADOR

HB-8000

HOTBIT

EPCOM EQUIPAMENTOS ELETRONICOS LTDA.

Produzido na Zona Franca de Manaus

NOV.-85

DESCRIÇÃO DO CIRCUITO

COMPUTADOR PESSOAL HB-8000

O aparelho HB-8000 é um microcomputador que se baseia na operação do Z80-A, rodando com 3.58 MHz, com 256K Bytes de endereçamento direto em 4 slots de 64K Bytes.

O microcomputador possui 32K Bytes de memória ROM onde se localiza o software básico e a interpretação do BASIC; 64K Bytes de RAM dinâmica para o usuário; 16K Bytes de RAM independentes para um processador de vídeo, para tela de 24 linhas com 32 ou 40 colunas para texto e 256 x 192 pontos em modo gráfico utilizando 16 cores.

Um interface gerador de som com 3 canais e 8 oitavas, controla também dois joysticks; o teclado, em português completo mais funções com 73 teclas é controlado por uma interface que também controla a seleção de slots e a comunicação com o gravador no formato FSK (Frequency Shift Keying), com velocidade de 1200 ou 2400 Bauds.

Este microcomputador possui uma interface paralela para impressora padrão centronics, dois conectores de 50 pinos chamados de SLOT 1 e SLOT 2 interligados com todo barramento do micro, estando disponíveis para cartuchos de software aplicativo, games, expansões, etc.

Para saída da informação, temos um modulador de RF e de vídeo composto para televisores ou através de um monitor. Quando se utiliza a saída de RF, um aparelho comum de televisão pode ser acoplado ao micro, pela antena, sendo o som transmitido conjuntamente com o vídeo; no caso de se utilizar a saída de vídeo composto, o som deverá ser acoplado através da saída de áudio no micro.

A interface com o monitor de vídeo, ou através de uma televisão poderá ser selecionado através dos canais 3 ou 4, bastando apenas movimentar a chave que se encontra embaixo do gabinete.

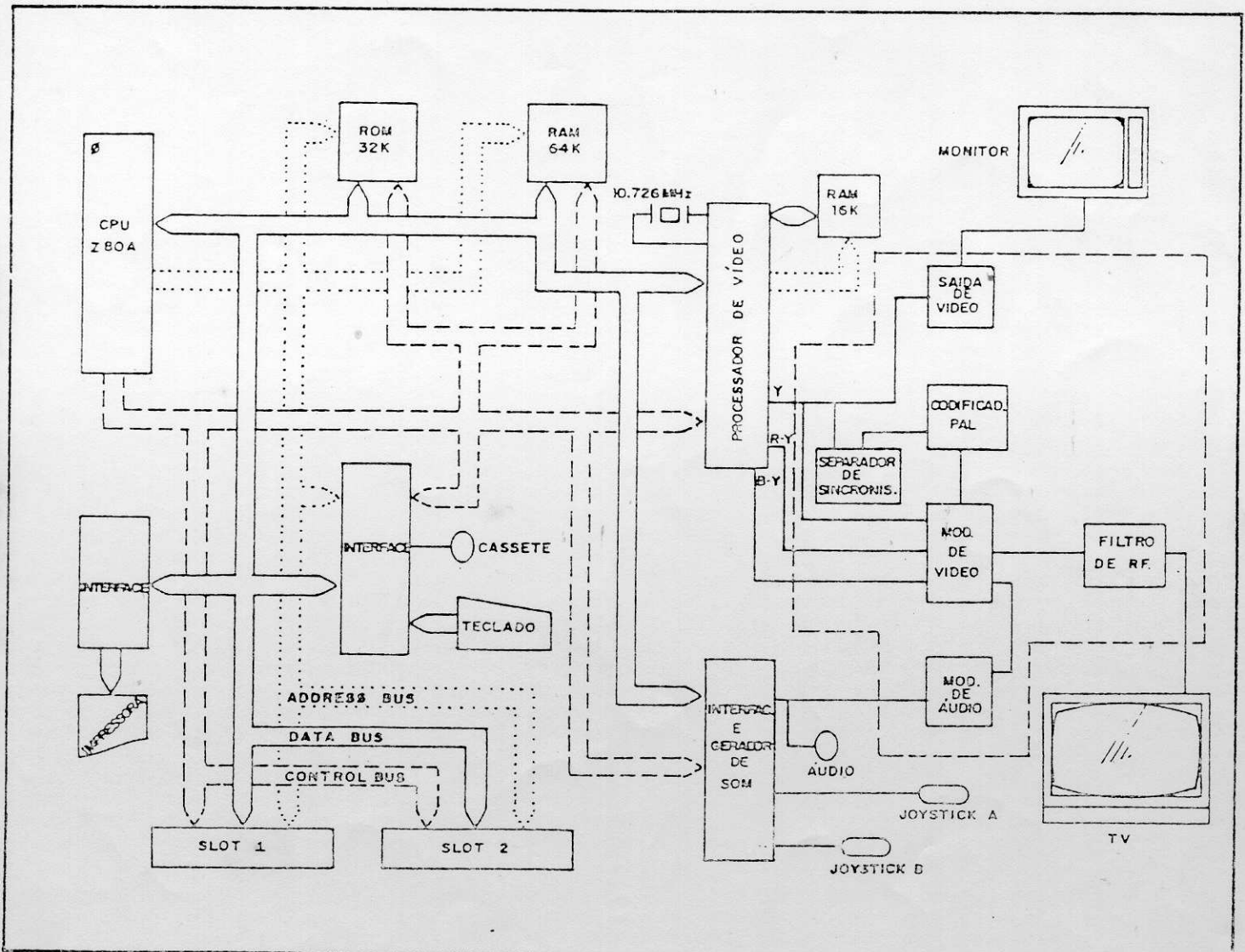
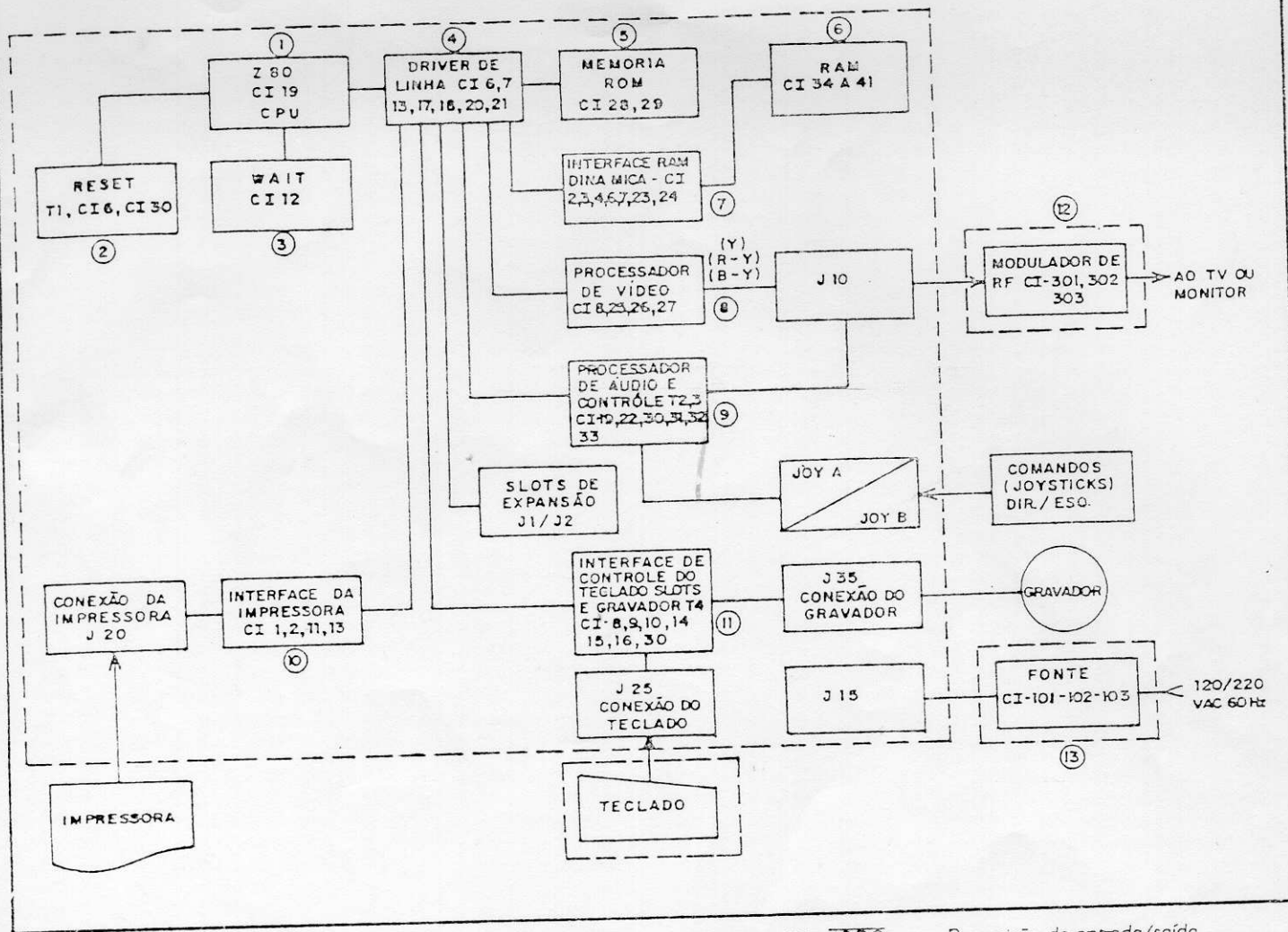


DIAGRAMA DE BLOCOS HB-8000



01. UNIDADE CENTRAL DE PROCESSAMENTO - CPU

A unidade central de processamento é um microprocessador que recebe, processa e distribui dados provenientes das memórias e circuitos periféricos, através das linhas de Bus. Este circuito executa 158 instruções básicas, operando com três modos de endereçamento, o que permite acesso direto da memória para transferência de dados em alta velocidade. O circuito de processamento Z80-A, é um microprocessador de registro orientado, com 18 registros de 8 bits e quatro de 16 bits, operando como memória programável estática.

FUNÇÃO DOS TERMINAIS

CONTROLE DO SISTEMA:

Pino 19 - $\overline{MREQ}$: Requisição de memória. O sinal de requisição de memória indica que o BUS de endereço, possui endereço válido para uma operação de leitura ou gravação de memória. Saída ativa em tri-state em baixa.

Pino 20 - $\overline{TORQ}$:

Requisição de entrada/saída. Este sinal indica que a parte baixa menos significativa no BUS de endereço (A0 - A7) tem um endereço válido de entrada/saída para uma operação de leitura ou gravação de entrada/saída. Este sinal também é gerado em $\overline{M1}$ quando uma interrupção está sendo reconhecida, indicando que um vetor de resposta de interrupção pode ser colocado no BUS de dados. Saída ativa em tri-state em baixa.

Pino 21 - $\overline{RD}$:

Leitura de memória. Indica que a CPU aguarda dados provenientes da memória ou de um dispositivo de entrada/saída. Estas memórias e dispositivos devem utilizar este sinal para colocar os dados no BUS de dados da CPU. Saída ativa em tri-state em baixa.

Pino 22 - $\overline{WR}$:

Gravação na memória. Indica que o BUS de dados da CPU possui dados para serem gravados na memória ou dispositivos de entrada/saída endereçados. Saída ativa em tri-state em baixa.

Pino 27 - $\overline{M1}$:

Um ciclo de máquina.
Este sinal indica que o ciclo de máquina em andamento é um ciclo de busca do código de operação da instrução em execução.
Saída ativa em baixa.

Pino 28 - $\overline{RFSH}$:

Restauração
Indica que os sete bits mais baixos do BUS de endereços (A0 - A6) podem ser utilizados como endereço de restauração para memórias dinâmicas. Junto com $\overline{RFSH}$ deve ser utilizado o sinal $\overline{MREQ}$ para se processar a leitura.
Saída ativa em baixa.

CONTROLE DA CPU:

Pino 16 - $\overline{INT}$:

Interrupção.
Os sinais de interrupção são gerados por um dos dispositivos de entrada/saída.
A CPU atende a interrupção no final da instrução em execução se o softer habilitar esta interrupção e se o sinal $\overline{BUSRQ}$ não estiver ativo.
Entrada ativa em baixa.

Pino 17 - $\overline{NMI}$:

Interrupção não mascarável.
Tem prioridade de interrupção maior que $\overline{INT}$, e sempre é reconhecida no final da instrução em execução, independente do estado do flip-flop de interrupção.
Esta instrução força a CPU a recomençar um programa a partir da posição 0066H.
Entrada ativa em baixa.

Pino 18 - $\overline{HALT}$:

Parado.
Esta instrução indica que a CPU executa uma instrução $\overline{HALT}$ e está aguardando uma interrupção mascarável ou não mascarável antes de reassumir a operação.
Enquanto parada, a CPU executa NOPS - nenhuma operação -, mantendo ativa a restauração de memória.
Saída ativa em baixa.

Pino 24 - $\overline{WAIT}$:

Espera.
Esta instrução indica a CPU que a memória ou dispositivos de entrada/saída endereçados não estão prontas para transferência de dados.

Pino 26 - $\overline{RESET}$:

Rearme.
Indica que a CPU está sendo inicializada ou seja, o contador de programa, registrador de instrução e outros circuitos estão sendo zerados. Este sinal deve ficar ativo na entrada durante um mínimo de 3 clocks completos.

CONTROLE DE BUS DA CPU

Pino 25 - $\overline{BUSREQ}$: Requisição do BUS.
Esta instrução tem prioridade de interrupção maior que $\overline{NMI}$ e sempre reconhecido no final do ciclo da máquina em execução.
O $\overline{BUSAK}$ força o BUS de endereços, dados e sinais de controle $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ e $\overline{WR}$ para nível de alta impedância e demais sinais que controlam esta linha.
Entrada ativa em baixa.

Pino 23 - $\overline{BUSAK}$:

Reconhecimento do BUS
Esta instrução indica ao dispositivo requerente que o BUS de endereços, dados e sinais de controle $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$ e $\overline{WR}$ estão em alta impedância, fazendo com que o circuito externo possa controlar estas linhas.
Saída ativa em baixa.

Pinos

01 a 05

31 a 40 - A0 - A15:

Bus de endereços.
Estas saídas constituem uma via de 16 bits de endereços, os quais fornecem o endereço para as mudanças de dados na memória (com até 64K Bytes) e nos dispositivos de entrada e saída.
O endereçamento E/S utiliza os oito bits mais baixos de endereço, o qual permite selecionar até 256 entradas ou saídas.
Saída ativa em tri-state ativa em alta

Pinos

07 a 15 - D0 - D7:

BUS de dados.
Formam o bus de dados direcionais de 8 bits, sendo utilizados para troca de dados com a memória e dispositivos de entrada/saída.

Pino 6 - $\overline{CLOCK}$:

Pulso.
Pulsos gerados de 3,57MHz que tem função de sincronizar a execução em sequência das instruções na CPU.

02. CIRCUITO RESET

O circuito reset, (rearme), é necessário e indispensável para o perfeito funcionamento do microprocessador.
Sua importância se faz, quando no desenrolar de um programa incorreto, interrompe a execução, carregando o contador de programa com zero, o qual permitirá o reinício do programa.
O modo reset poderá ser operado manualmente através da chave S1 ou automaticamente.
Assim sendo, o circuito fixa o estado interno inicial do microprocessador, ou seja, quando o microprocessador executa algum programa, o nível do pino reset é zero.
Se a tecla reset é pressionada, temos um nível 0 no pino 26, reset, durante um tempo superior a três pulsos clock, o qual inibe o circuito, interrompendo o programa.

03. CIRCUITO DE ESPERA - WAIT

Este circuito indica ao microprocessador que o dispositivo de entrada/saída ou a memória endereçada não estão prontos para transferência de dados.

Cada operação básica do microprocessador, ocorre em três ou seis períodos de clock.

A cada ciclo de instrução consiste de três ciclos de máquina: busca, leitura e gravação da memória. Após a operação da instrução durante o ciclo M1, os ciclos subsequentes movimentam os dados entre a memória e o microprocessador.

Para fazer com que as instruções sejam movimentadas passo a passo no interior da CPU, a função passo a passo de instrução é conseguida usando-se os sinais de controle gerados pelo microprocessador durante a execução do programa, ou seja, M1 de saída e WAIT de entrada.

M1 passa para o nível lógico zero no início de cada ciclo de busca de instrução; significa que o microprocessador acabou de completar uma instrução e inicia outra.

O objetivo é fazer com que o microprocessador pare antes de executar a próxima instrução, o qual a entrada WAIT tem esta finalidade, ou seja, um nível lógico zero nesta entrada suspende a execução do programa, fazendo com que o microprocessador pare indefinidamente no ciclo M1. O microprocessador permanecerá no modo WAIT até que este passe para o nível 1.

A função básica destes sinais é permitir que circuitos penfêcos ou memória mais lentas possam ser utilizadas com microprocessadores mais rápidos.

O circuito integrado CI2, opera no circuito fazendo com que os sinais atuem na CPU através do pino 24.

14. DRIVER

O circuito driver de linha paralelo, tem função de distribuir os dados provenientes da CPU, assim como manter a CPU operando no ponto mínimo de trabalho, evitando sua sobrecarga.

O microprocessador tem capacidade de endereçamento direto de 65.536 palavras de memória e 256 portas de entrada e saída.

O Bus de endereço (A0 - A15) utiliza 16 linhas.

Este Bus tem função de excitar os circuitos que formam o sistema do computador.

Como o microprocessador irá excitar grande número de circuitos, há necessidade de acoplar à saída, circuitos auxiliares a fim de não sobrecarregá-lo, o que tornaria ineficiente.

As saídas de Bus de endereços são acopladas nos CI's 17 e 20, schmitt trigger, e este ao Bus correspondente.

Da mesma forma, o Bus de dados (D0 - D7) necessita de circuitos auxiliares, CI 21, com uma única diferença, pois o Bus de dados é bidirecional.

Observar também que o CI 18, é um driver de linha para o sistema de controle.

MEMÓRIA ROM

As memórias de leitura exclusiva, mantêm em seu interior uma série de instruções ou programas fixos, os quais gravados uma vez, não poderão ser apagados.

As memórias ROM de 32K Bytes por 8 bits, CI 28 e 29, operam com duas funções de controle: o CHIP ENABLE (CE), e OUT PUT ENABLE (OE).

O controle CE pela alimentação e o controle OE de saída, deve ser utilizado para colocar dados nos pinos de saída.

O tempo de acesso desta memória é de 250 ns, com seleção de velocidade disponível em 200 ns. Neste sistema, a memória permite que o microprocessador opere sem acréscimos no estado de espera (WAIT).

06. MEMÓRIA RAM

As memórias de acesso aleatório são memórias de gravação e leitura, as quais permitem que os dados no seu interior sejam gravados ou lidos.

Esta memória, dinâmica, somente retém os dados durante a operação do computador.

As memórias RAM's são memórias de acesso aleatório, onde podemos gravar ou ler dados ou instruções com 65.536 palavras por 1 bit, as quais apresentam alto desempenho e alta densidade funcional.

Estas memórias utilizam células de armazenamento dinâmico e circuito de controle dinâmico, obtendo alta velocidade e baixa dissipação.

Tendo um alto desempenho, estas memórias são imunes a ruídos na entrada, minimizando o falso acionamento, que por ventura poderiam fazê-la operar.

07. CIRCUITO INTERFACE DA RAM DINÂMICA

Sua função é acessar as memórias RAM's com os dados provenientes da CPU.

O circuito de interface de RAM dinâmica é composto dos CI's 2, 3, 4, 6, 7, 23 e 24, que em conjunto, armazenam nas memórias dados e endereços que estão sendo processados.

Os endereços e dados que serão armazenados nas memórias, necessitam da informação para atuar as memórias.

Estas informações são enviadas ao circuito interface, as quais são acopladas nos pinos 1 dos CI's 23 e 24, seleção, e nos pinos 3, 4 e 15 das memórias.

No conjunto das memórias, o CAS quando ativo lê as colunas e o RAS as linhas, caindo o CAS quando a memória é acessada.

08. PROCESSADOR DE VÍDEO

O circuito processador de vídeo codifica os dados provenientes da CPU e memórias, em sinais que após o circuito de RF, serão mostradas no monitor.

O circuito processador de vídeo, CI27 é um dispositivo LSI-MOS utilizado em sistemas de vídeo.

Este circuito que em conjunto com as memórias RAM's, CI 25 e 26, estáticas, geram os sinais de vídeo, controle e sincronismo para que, após o modulador de RF, possam ser observadas no monitor.

PROCESSADOR - U 27

O processador tem um formato de 525 linhas, operando em quatro modos: gráfico I, gráfico II, multicolor e o modo texto. No modo texto ele fornece 24 linhas de 40 caracteres em duas cores, as quais minimizam a capacidade da tela, mostrando caracteres alfa numéricos. O modo multicolor fornece 64 x 48 pontos coloridos, empregando 15 cores mais o transparente.

O modo gráfico I, fornece pontos de imagem de 256 x 192 para geração de gráfico padrão, em 15 cores mais o transparente.

Neste modo só haverá duas cores para todo padrão dos pontos de imagem de 8 x 8.

O modo gráfico II, é uma intensificação do modo gráfico I, gerando padrões de cores mais complexas, selecionando oito vezes mais do que o gráfico I e sendo possível ter-se duas cores em cada linha, em uma célula 8 x 8.

FUNÇÃO DOS TERMINAIS

Pino 1 e 2:
RAS e CAS

(Row Address Strobe e Column Address Strobe)
Estas entradas operam multiplexando os 14 bits de endereçamento da RAM de vídeo.

Pino 3 a 10:

AD0 a AD7 - Bus de Endereços
Constituem saídas de uma via de endereço, o qual fornece o endereço para as mudanças de dados nas memórias.

Pino 11 - $\overline{R/W}$:

Leitura/Gravação
Habilita a gravação ou leitura nas memórias de vídeo.

Pino 13 - $\overline{MODE}$:

Modo
Quando esta entrada estiver em alto, significa transferência de endereço e em baixo, transferência de dados.

Pino 14 - $\overline{CSW}$:

Chip Select Write
Quando ativado em baixo, transfere os dados da CPU para o processador de vídeo.

Pino 15 - $\overline{CSR}$:

Chip Select Read
Quando ativado em baixo, transfere os dados do processador de vídeo para a CPU.
OBS.: CSW e CSR não poderão ser simultaneamente baixos.

Pino 16 - $\overline{INT}$:

Interrupção
É utilizada para gerar uma interrupção no fim de cada varredura em cada 1/60 s.

Pino 17 a 24:

CD0 a CD7 - Bus de Dados
Formam o bus de dados bidirecionais de 8 bits, tendo como função a troca de dados com a CPU.

Pino 25 a 32:

RD0 a RD7 - Bus de Dados
Estas saídas constituem uma via de dados bidirecionais de 8 bits, para troca de dados com as memórias.

Pino 34 - $\overline{RESET}$:

Rearme

Pino 35 - (B - Y):

Sinal de saída que em conjunto com o sinal (R - Y) irá compor o sinal (G - Y) no modulador de RF.

Pino 36 - Y:

Luminância
Sinal de saída contendo o sinal de vídeo

Pino 37 - $\emptyset$:

Clock - Pulso
Uma frequência de XTAL/3 é gerada para sincronizar as execuções em sequência das instruções na CPU.

Pino 38 - (R - Y):

Sinal de saída que em conjunto com o sinal (B - Y) irá recompor o sinal (G - Y) no modulador de RF.

Pino 39 e 40 - XTAL:

Oscilador e Gerador Clock
O processador opera em uma frequência de 10,726834 MHz, assim como gera pulsos para operação da CPU.

O processador de vídeo opera com três interfaces básicas, ou seja, a CPU, monitor de cor e memórias RAM, os quais irão definir a imagem, assim como oito registros de gravação e um de leitura. Ele se comunica com a CPU via bus de dados bidirecionais de 8 bits (CD0 a CD7), três linhas de controle decodificadas do endereço da CPU e linhas de habilitação que determinam a interpretação do bus.
A interface com o monitor recebe toda a informação necessária para que, através do modulador de RF seja aplicada no monitor.
As memórias RAM's são acessadas com até 16.384 Bytes provenientes do processador de vídeo.

MEMÓRIA RAM - CI 25 e 26

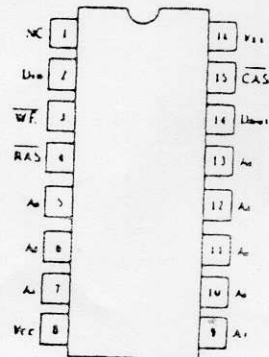
A memória RAM dinâmica, 16Kx4, tem função de armazenar dados, os quais serão requisitados pelo processador de vídeo para leitura ou gravação onde será processada a imagem. É uma interface bidirecional de 8 bits, contendo três linhas de controle.

09. PROCESSADOR DE ÁUDIO E CONTROLE

O circuito gerador de som programável é um circuito de larga escala de integração, podendo produzir uma grande variedade de sons complexos, através do controle do software independente para três saídas análogas. Possui duas portas de 8 bit de entrada/saída, utilizadas para leitura dos controles manuais.

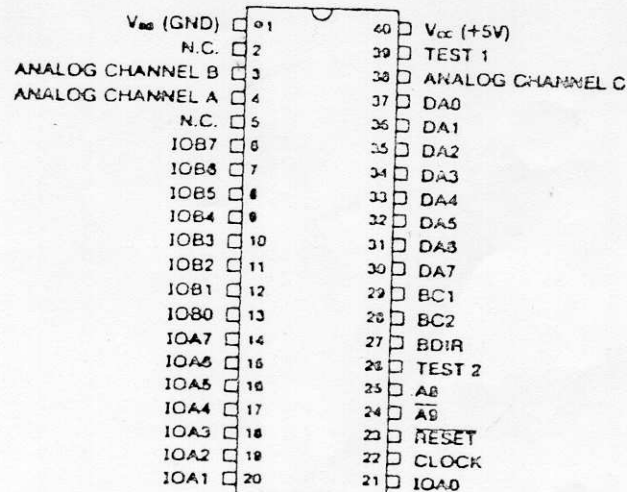
ESQUEMA - IMPRESSO - MONTAGEM

HM4864-2

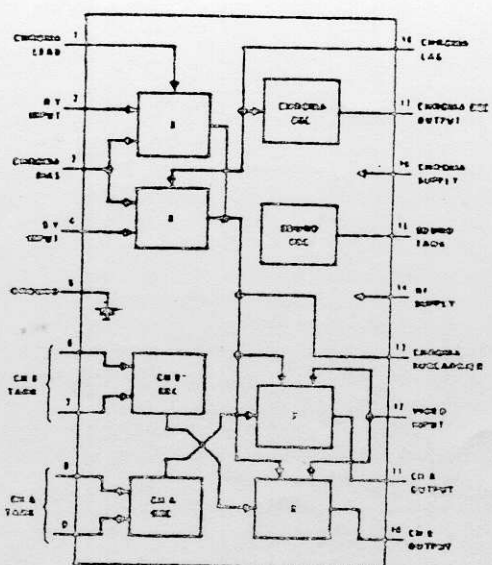


A ₀ -A ₇	Address Inputs
CAS	Column Address Strobe
Din	Data In
Dout	Data Out
RAS	Row Address Strobe
WE	Read/Write Input
V _{cc}	Power (+5V)
V _{ss}	Ground
A ₈ -A ₁₅	Refresh Address Input

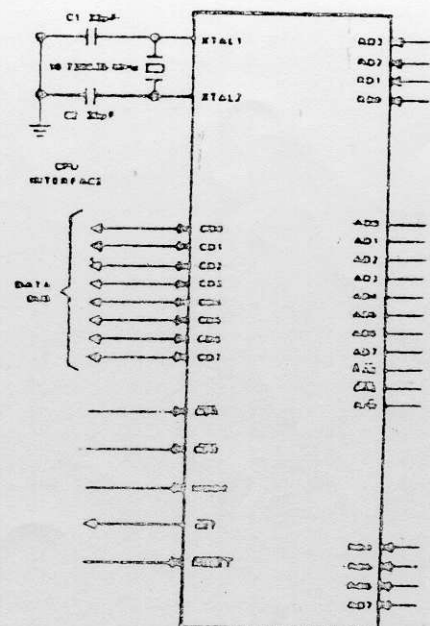
AY3-8910



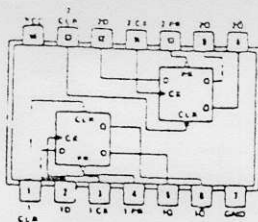
LM1889



TMS9128

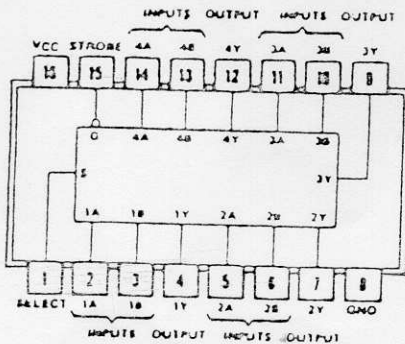


SN74LS74



FUNCTION TABLE						
INPUTS				OUTPUTS		
PRESET	CLEAR	CLOCK	D	Q	Q̄	
L	H	X	X	H	L	
H	L	X	X	L	H	
L	L	X	X	H*	H*	
H	H	1	H	H	L	
H	H	1	L	L	H	
H	H	L	X	Q ₀	Q̄ ₀	

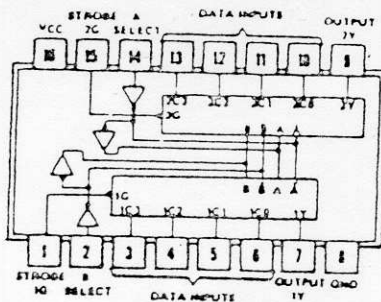
SN74LS157



FUNCTION TABLE				
INPUTS				OUTPUT Y
STROBE	SELECT	A	B	'157, 'L157, 'LS157, 'S157
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level, L = low level, X = irrelevant

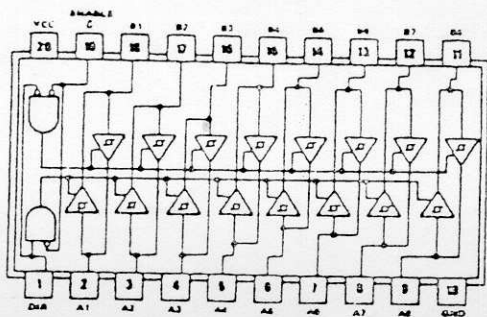
SN74LS153



FUNCTION TABLE							
SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections
H = high level, L = low level, X = irrelevant

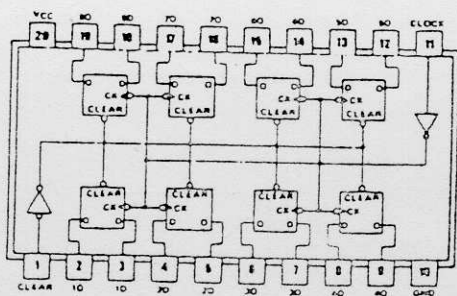
SN74LS245



FUNCTION TABLE		
ENABLE EN	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

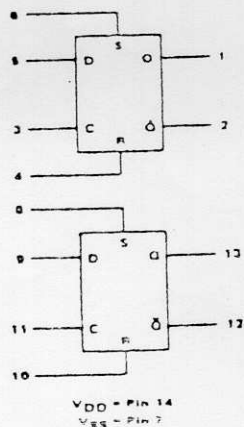
H = high level, L = low level, X = irrelevant

SN74LS273



FUNCTION TABLE (EACH FLIP-FLOP)			
INPUTS			OUTPUT Q
CLEAR	CLOCK	D	
L	X	X	L
H	1	H	H
H	1	L	L
H	L	X	Q ₀

BLOCK DIAGRAM



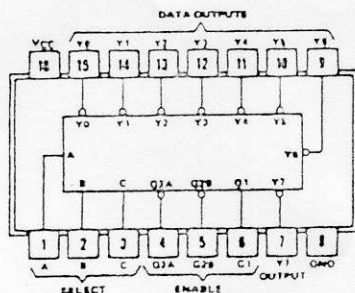
TRUTH TABLE

INPUTS				OUTPUTS	
CLOCK ¹	DATA	RESET	SET	Q	Q
0	0	0	0	0	1
1	0	0	0	0	1
X	0	0	0	0	0
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

X = Don't Care
↑ = Level Change

No Change

SN74LS138



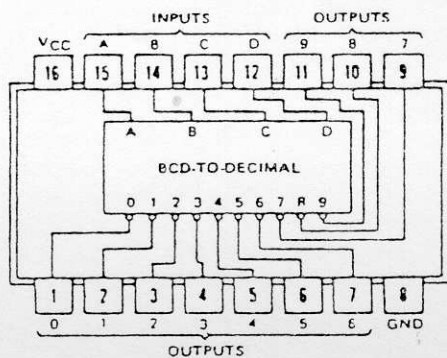
FUNCTION TABLE

INPUTS			OUTPUTS							
ENABLE	SELECT									
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5
X	H	X	X	X	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H

*G2 = G2A + G2C

H = high level, L = low level, X = irrelevant

SN7445

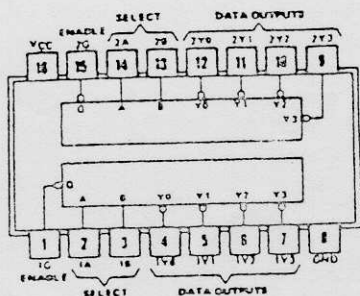


FUNCTION TABLE

NO.	INPUTS				OUTPUTS									
	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	L	H	H	H	H	H	H	H
4	L	H	L	L	H	H	H	L	H	H	H	H	H	H
5	L	H	L	H	H	H	H	L	H	H	H	H	H	H
6	L	H	H	L	H	H	H	H	L	H	H	H	H	H
7	L	H	H	H	H	H	H	H	H	L	H	H	H	H
8	H	L	L	L	H	H	H	H	H	H	L	H	H	H
9	H	L	L	H	H	H	H	H	H	H	H	L	H	H
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	L	L	L	H	H	H	H	H	H	H	H	H	H
	H	L	L	H	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (on), L = low level (on)

SN74LS139

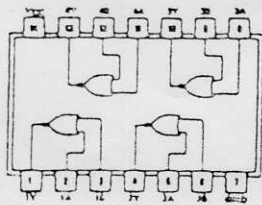


FUNCTION TABLE

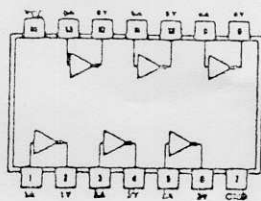
INPUTS			OUTPUTS			
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	L	H	H	H	L	H
L	L	H	H	H	H	L

H = high level, L = low level, X = irrelevant

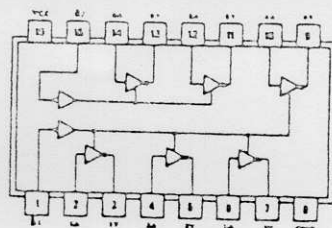
SN74LS02



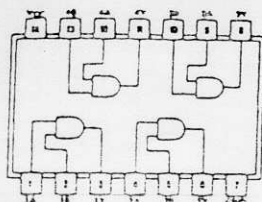
SN74LS04



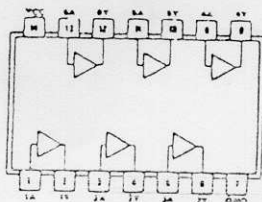
SN74LS367



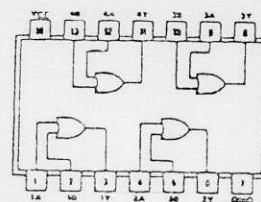
SN74LS08



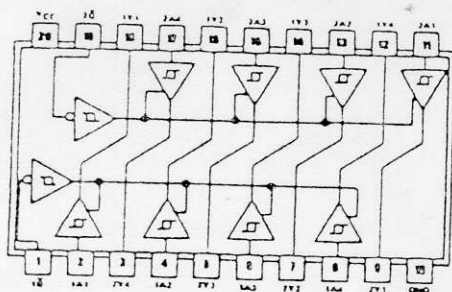
LS7407



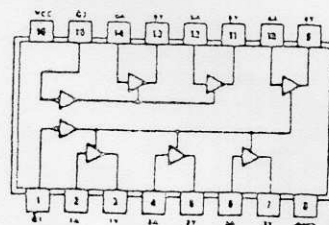
SN74LS32



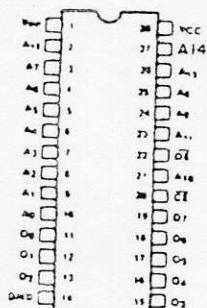
SN74LS244



SN74368



27256



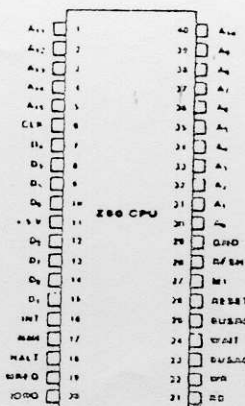
PIN NAMES

Pin	Name
A0-A14	ADDRESSES
CE	CHIP ENABLE
OE	OUTPUT ENABLE
O0-O14	OUTPUTS
PGM	PROGRAM
N.C.	NO CONNECT

8255A

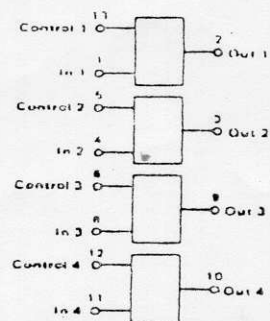


Z80A



4016

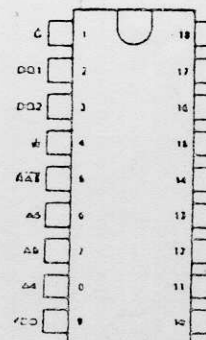
BLOCK DIAGRAM



VDD = Pin 34

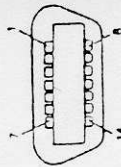
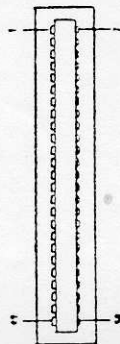
VSS = Pin 7

TMS4416-20



J1/J2

PIÑOS Nº.	NOME DO SINAL	I/O	PIÑOS Nº.	NOME DO SINAL	I/O
1	CS1	0	2	CS2	0
3	CS12	0	4	SLTSL	0
5	RESERVED	0	6	RFSH	0
7	WAIT	1	8	INT	1
9	M1	0	10	BUSDIR	1
11	IORQ	0	12	MREQ	0
13	WR	0	14	RD	0
15	RESET	0	16	RESERVED	0
17	A9	0	18	A15	0
19	A11	0	20	A10	0
21	A7	0	22	A6	0
23	A12	0	24	A8	0
25	A14	0	26	A13	0
27	A1	0	28	A0	0
29	A3	0	30	A2	0
31	A5	0	32	A4	0
33	D1	1/O	34	D0	1/O
35	D3	1/O	36	D2	1/O
37	D5	1/O	38	D4	1/O
39	D7	1/O	40	D6	1/O
41	GND	-	42	CLOCK	-
43	GND	-	44	SW1	-
45	+5V	-	46	SW2	-
47	+5V	-	48	+12V	-
49	SOUNDIN	1	50	-12V	-

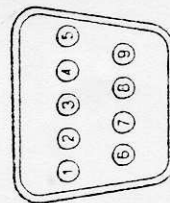


J20

PIÑOS Nº.	NOME DO SINAL
1	FSTB
2	FDB0
3	FDB1
4	FDB2
5	FDB3
6	FDB4
7	FDB5
8	FDB6
9	FDB7
10	NC
11	BUSY
12	NC
13	NC
14	GND

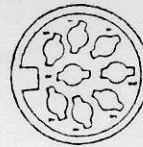
JOY A/B

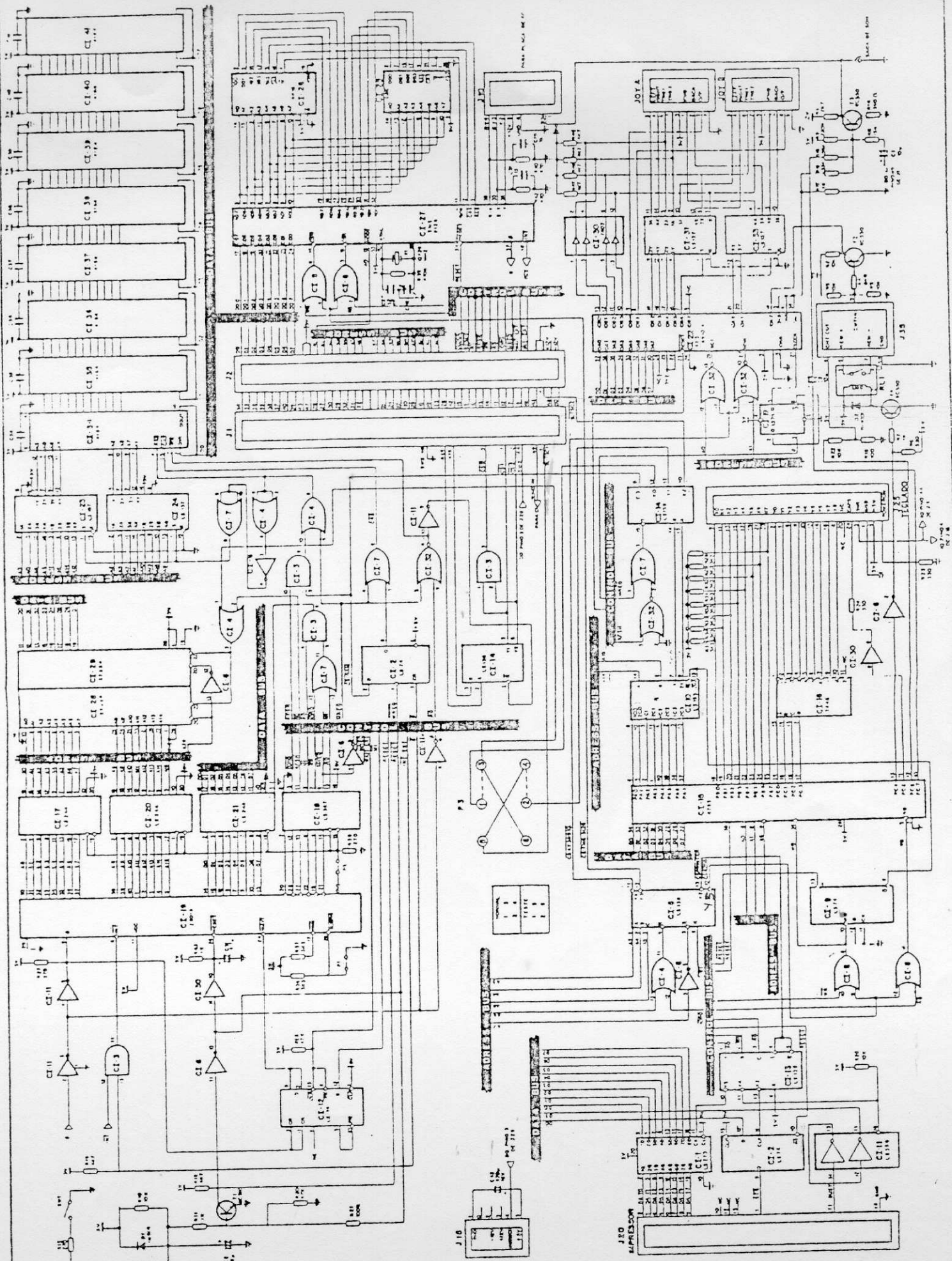
PIÑOS Nº.	NOME DO SINAL	DIREÇÃO
1	FWD	INPUT
2	BACK	INPUT
3	LEFT	INPUT
4	RIGHT	INPUT
5	+5V	-
6	TRG 1	INPUT/OUTPUT
7	TRG 2	OUTPUT
8	OUTPUT	OUTPUT
9	GND	-

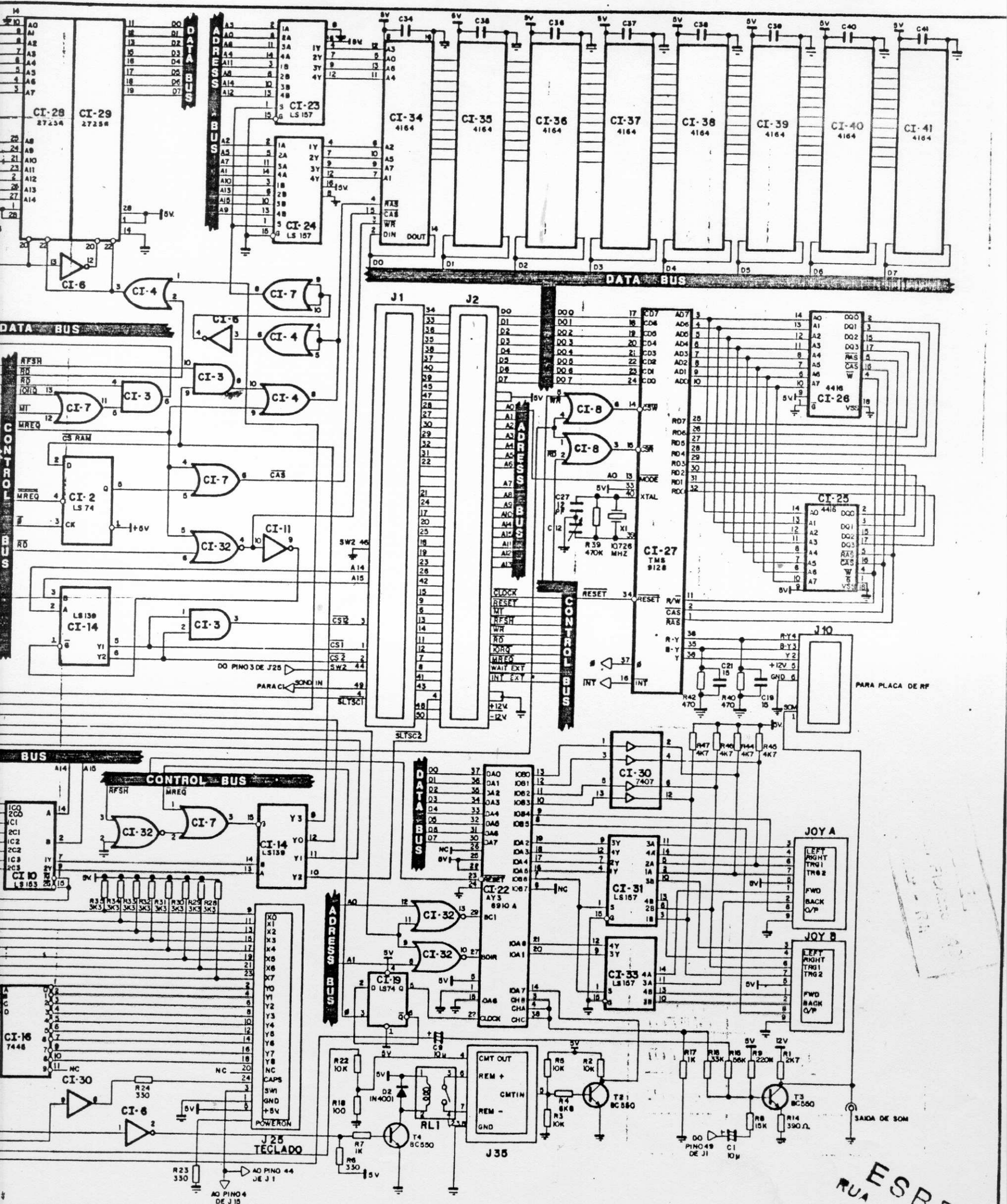


J35

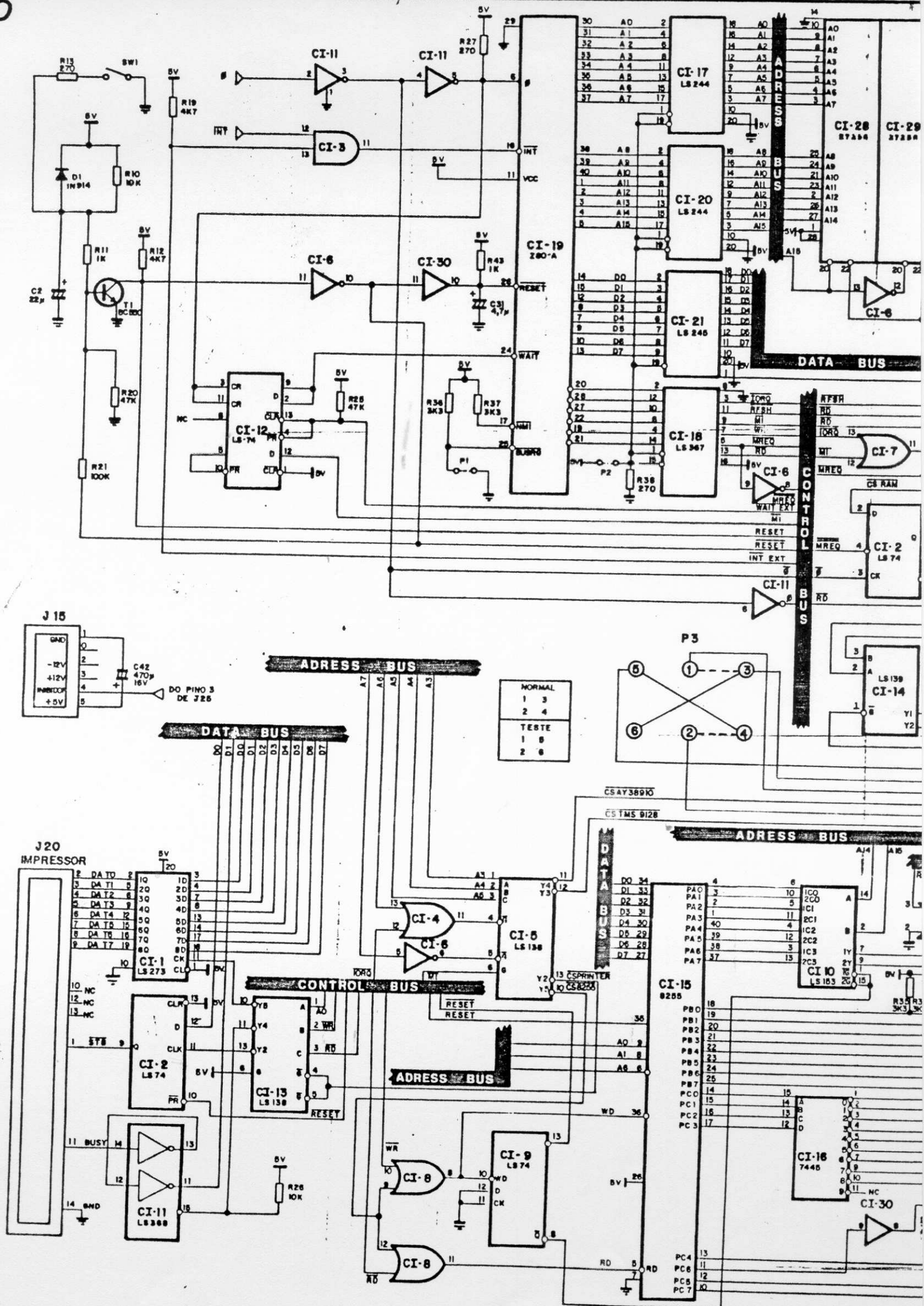
PIÑOS Nº.	NOME DO SINAL	DIREÇÃO
1	GND	-
2	GND	-
3	GND	-
4	CMTOUT	OUTPUT
5	CMTIN	INPUT
6	REMOTE +	OUTPUT
7	REMOTE -	OUTPUT
8	GND	-







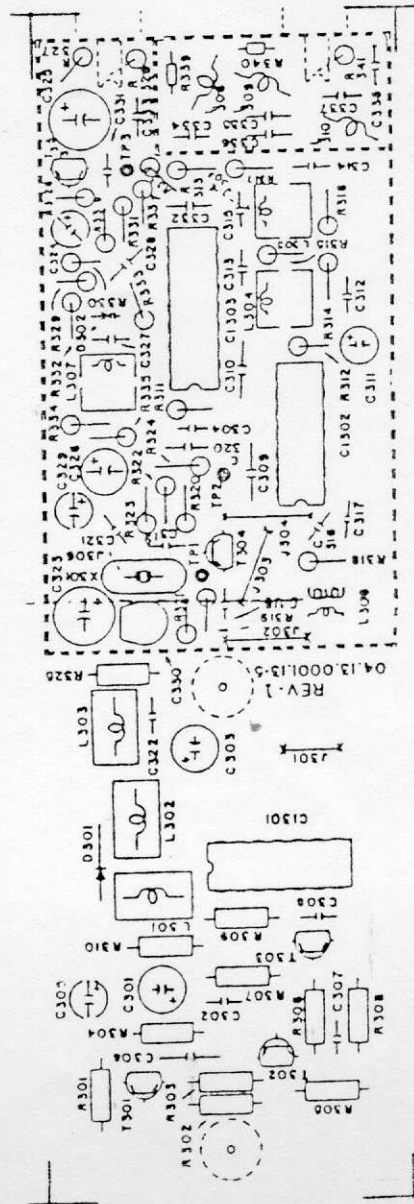
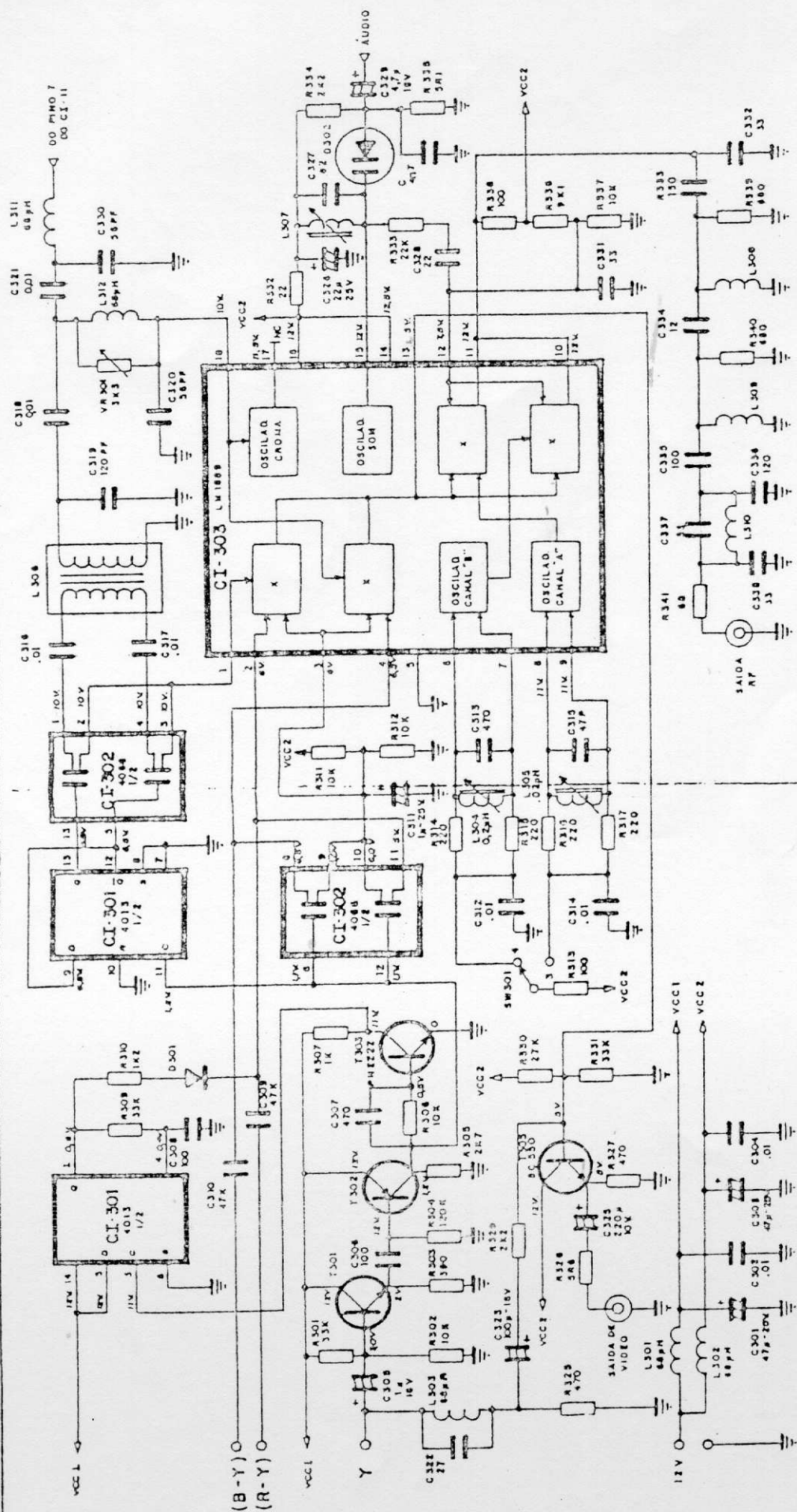
ESB D



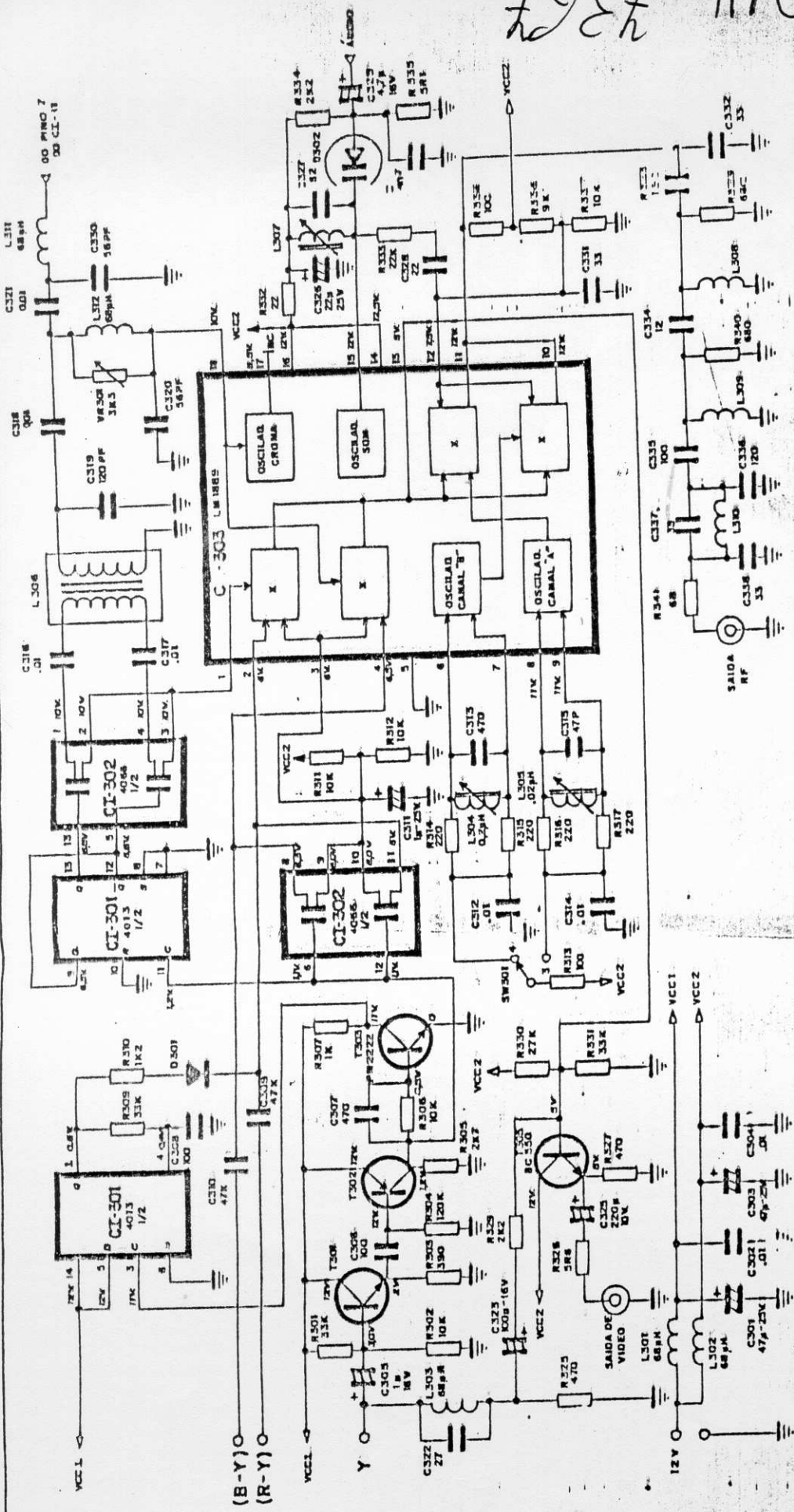


ESBREL

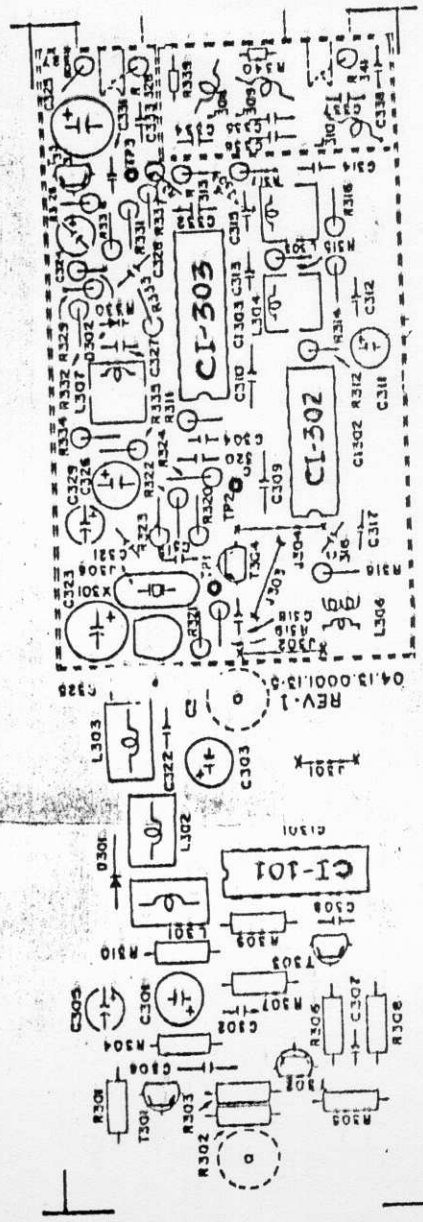
Av. Mal. Floriano, 143 S/Leja
20060 - Rio de Janeiro, RJ
Fone (021) 253-8005

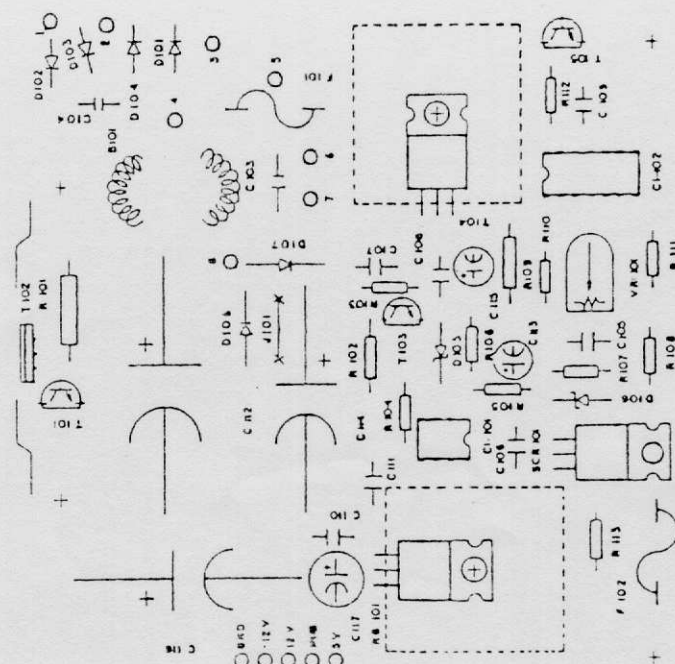
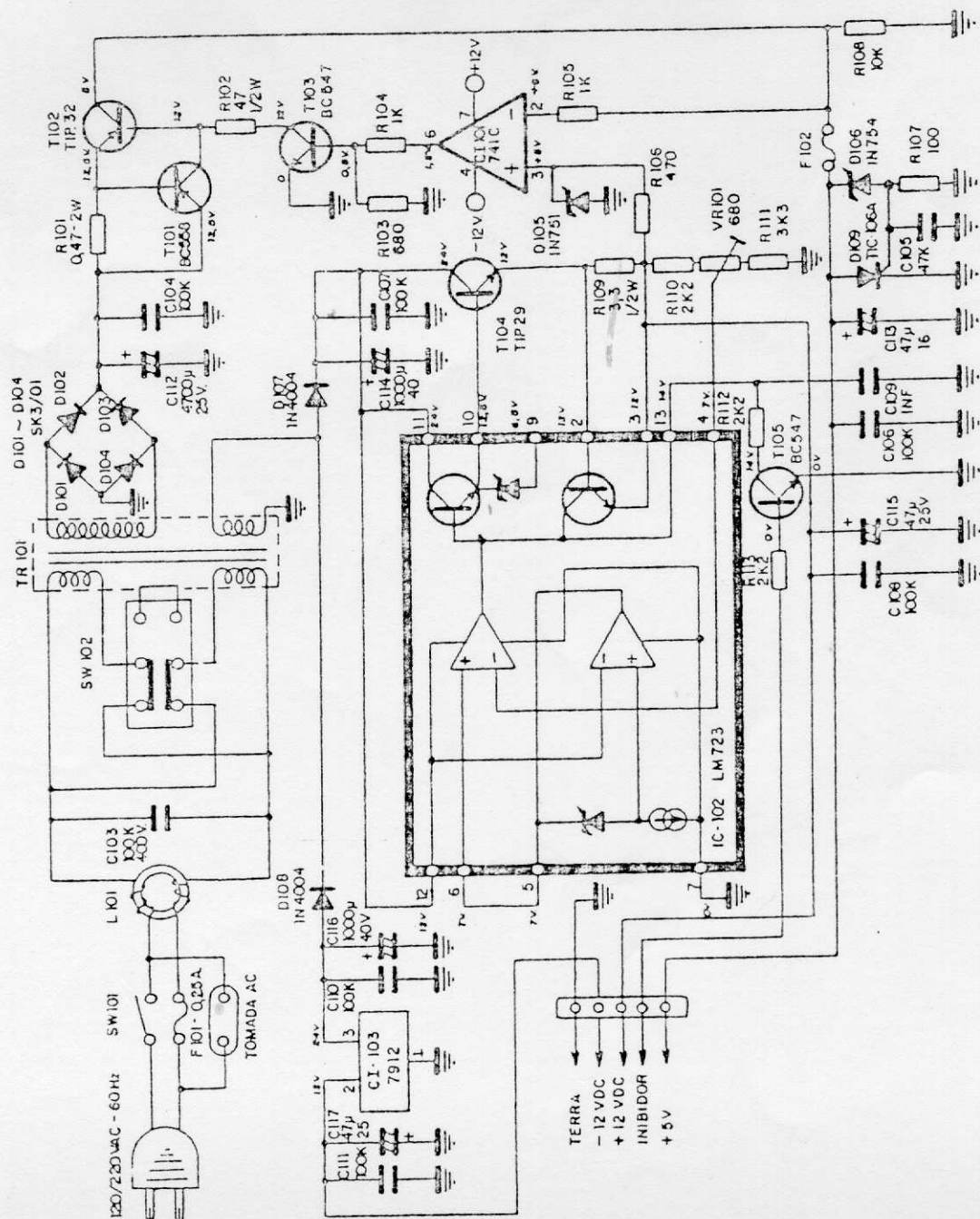


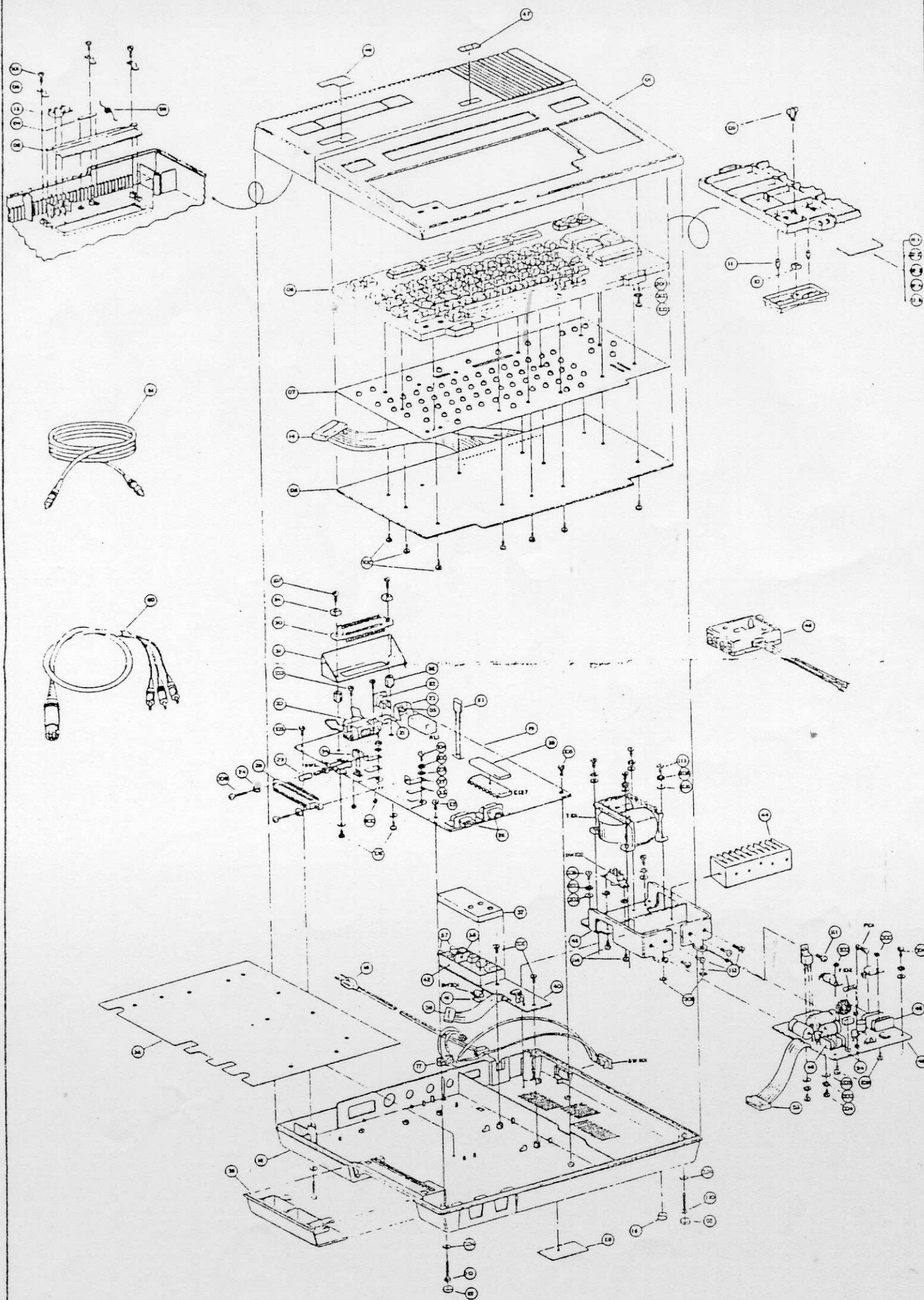
D11-7367



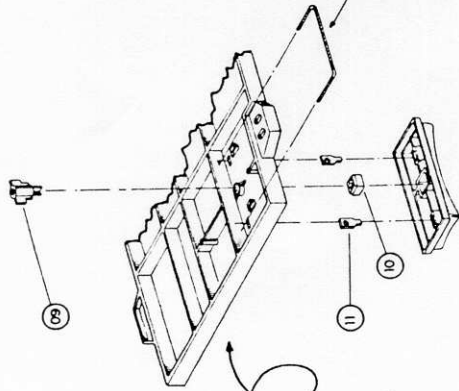
ESBREL
Av. Mal. Bordon, 143 r/l/rj
11000-0001 - 75 - 75



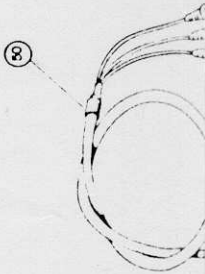
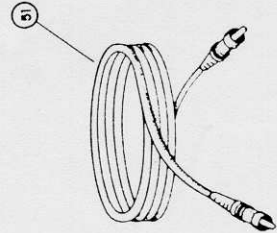
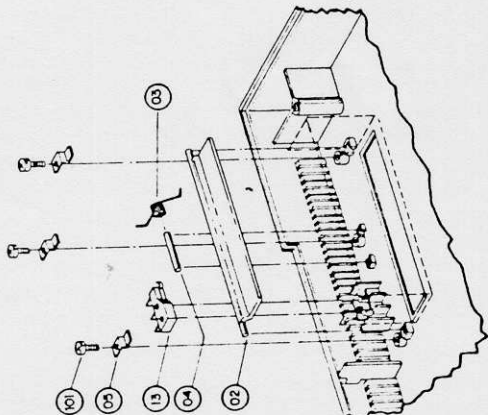
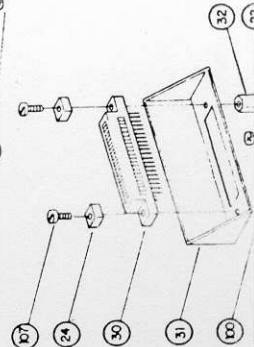
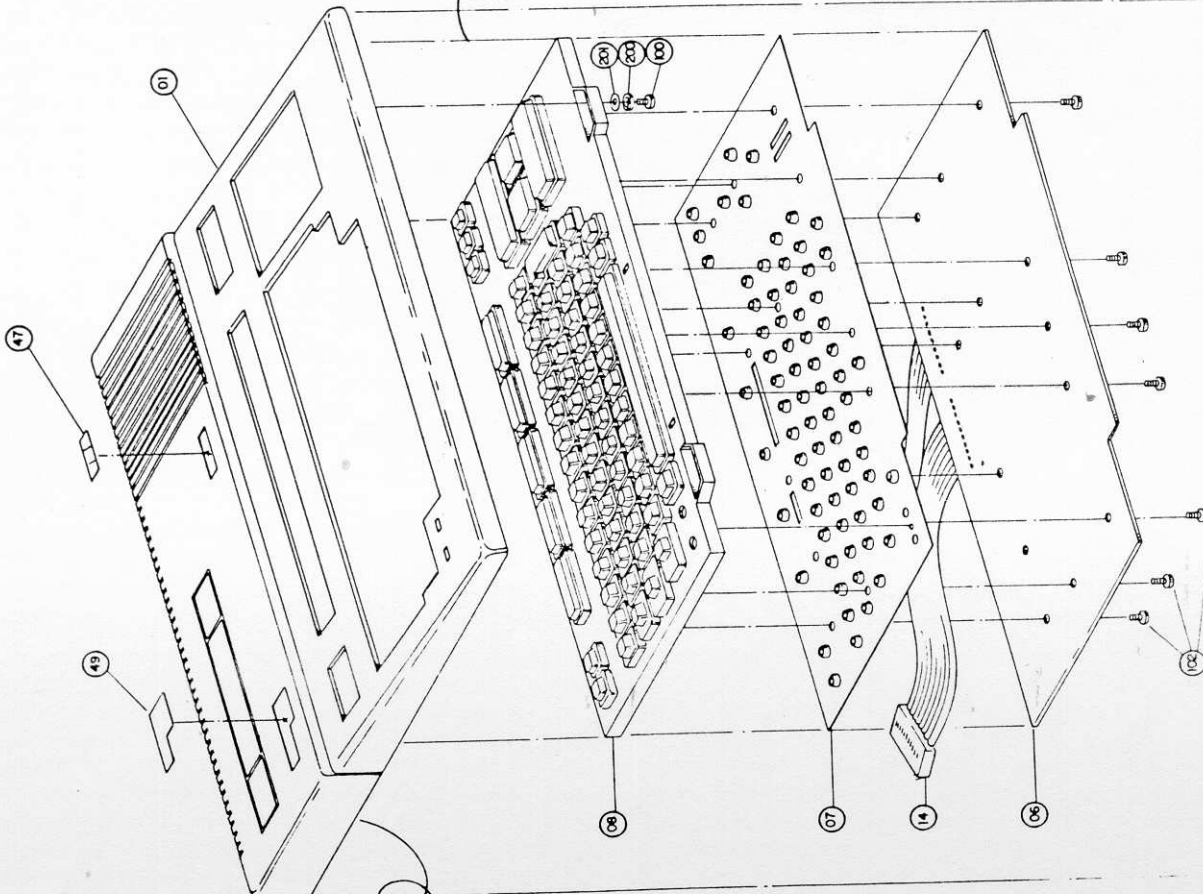
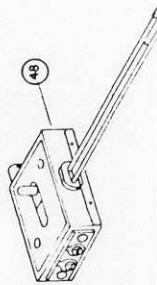


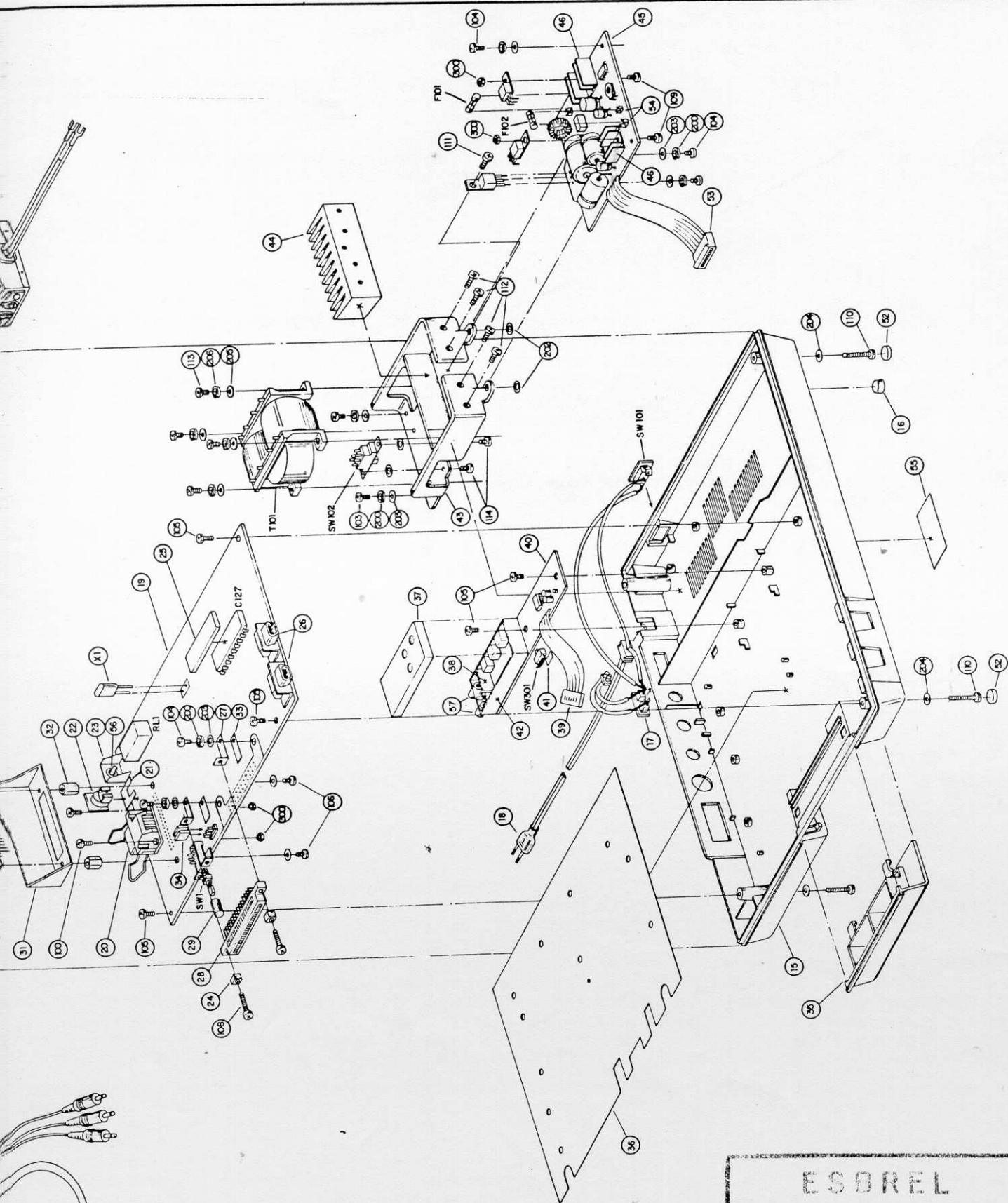


2 2 2 2 2



ESSREL
Av. Mal. Floriano, 143 S/Loja
20060 - Rio de Janeiro, RJ
Fone (021) 253-8005



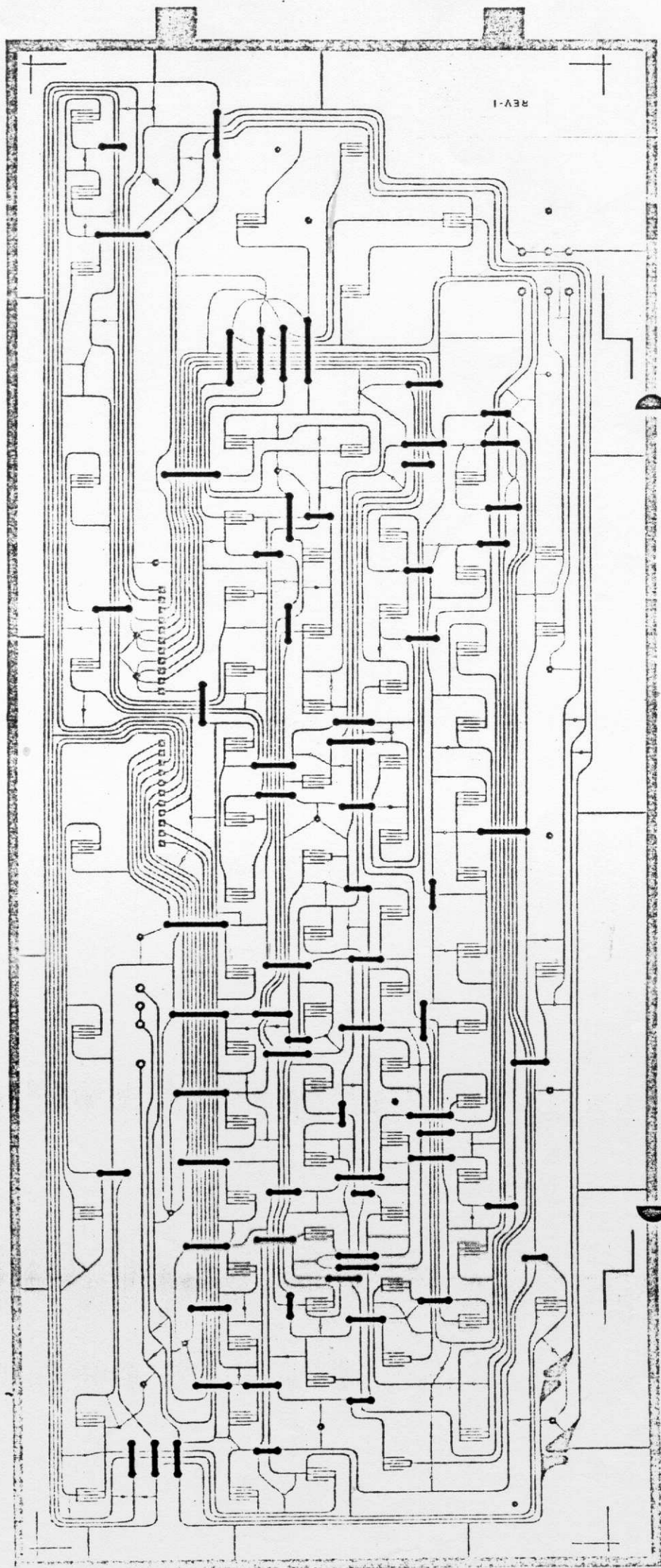


ESDREL

Av. Hel. Floriano, 143 S/Loja
20060 - Rio de Janeiro, RJ
Fone (021) 253-8005

ESBREL

Av. Mal. Floriano, 143 S/Loja
20060 - Rio de Janeiro, RJ
Fone (021) 253-8005



AJUSTES

AJUSTE DA FONTE

01. Conectar voltímetro DC no pino 3 de J15.
02. Ajustar VR101 para +12V DC.

AJUSTE DO OSCILADOR

01. Conectar freqüencímetro no pino 37 do CI27.
02. Ajustar C12 para 3,575611 MHz.

AJUSTE DE RF

01. Aterrizar as entradas de vídeo e áudio do modulador (pinos 1, 2, 3 e 4 de J10).
02. Conectar freqüencímetro no pino 11 do CI 303.
03. Posicionar SW301 para o canal 4.
04. Ajustar L304 para 67,25 MHz.
05. Posicionar SW301 para o canal 3.
06. Ajustar L305 para 61,25 MHz.

AJUSTE DE ÁUDIO

01. Aterrizar as entradas de vídeo e áudio do modulador (pinos 1, 2, 3 e 4 de J10).
02. Conectar freqüencímetro no pino 12 do CI303.
03. Ajustar L307 para 4,5 MHz.

AJUSTE DE FASE

01. Ligar aparelho.
02. Conectar osciloscópio na saída de vídeo.
03. Ajustar VR301, de modo que os níveis de Burst fiquem com mesma amplitude.

VERIFICAÇÃO DE VÍDEO E ÁUDIO

01. Ligar o micro.
02. Pressionar a tecla F2 e Return.
03. Digitar no micro, o seguinte programa:

```
10 Screen 3
20 Read C
30 Line (X, 0) - ((X + 16), 191), C, BF
40 X = X + 16
50 DATA 0, 15, 14, 7, 5, 4, 13, 9, 8, 6, 11, 10, 3, 2,
  12, 1
60 IF X > 255 GO TO 70 ELSE 20
70 FOR I = 1 TO 96 STEP 6
80 PLAY "N" = I;"
90 NEXT I
100 GO TO 70
```

04. Digitar RUN.
05. Na tela do monitor teremos 16 barras coloridas e a geração de sinais de áudio processados no micro.

CÓDIGO DE COMPONENTES

PLACA PRINCIPAL

CIRCUITOS INTEGRADOS

C11	SN74LS273	4.12.0000.65-4	Interface da Impressora
C12	SN74LS74N-00	4.12.0000.33-3	Bistável D
C13	SN74LS08N-00	4.12.0000.40-4	Gate AND
C14	VHISN74LS32-1	4.12.0102.00-9	Gate OR
C15	SN74LS138N	4.12.0033.00-3	Codificador/Decodificador
C16	VHISN74LS04-1	4.12.0000.20-8	Inversor
C17	VHISN74LS32-1	4.12.0102.00-9	Gate OR
C18	VHISN74LS32-1	4.12.0102.00-9	Gate OR
C19	SN74LS74N-00	4.12.0000.33-3	Bistável D
C110	SN74LS153N-00	4.12.0000.35-8	Seleção de Dados
C111	SN74LS368	4.12.0000.52-9	Inversor
C112	SN74LS74N-00	4.12.0000.33-3	Bistável D
C113	SN74LS138N	4.12.0033.00-3	Codificador/Decodificador
C114	VHISN74LS139N	4.12.0103.00-8	Codificador/Decodificador
C115	8255A	2.4.12.0003.25-6	Portas I/O
C116	SN7445N-00	4.12.0000.34-2	Decodificador
C117	SN74LS244N	4.12.0000.67-2	Buffer Ocual de Endereços
C118	SN74LS367-00	4.12.0000.35-1	Driver Hexadecimal
C119	LH0080A	2.4.12.0003.24-7	CPU
C120	SN74LS244N	4.12.0000.67-2	Buffer Ocual de Endereços
C121	SN74LS245N	4.12.0000.66-3	Buffer Ocual de Dados
C122	AY3-8910A	2.4.12.0003.26-5	Proc. de Áudio e Controlos
C123	SN74LS157N-00	4.12.0000.37-9	Seleção de Dados
C124	SN74LS157N-00	4.12.0000.37-9	Seleção de Dados
C125	TMS4416-20NL	2.4.12.0003.30-9	Memória RAM
C126	TMS4416-20NL	2.4.12.0003.30-9	Memória RAM
C127	TMS9128NL	2.4.12.0003.27-4	Processador de Vídeo
C128	27256	2.4.12.0003.32-7	Memória - EPROM
C129	27256	2.4.12.0003.32-7	Memória - EPROM
C130	SN7407N-00	4.12.0000.41-3	Buffer
C131	SN74LS157N-00	4.12.0000.37-9	Seleção de Dados
C132	SN74LS02	4.12.0000.44-0	Gate NOR
C133	SN74LS157N-00	4.12.0000.37-9	Seleção de Dados
C134 } C141 }	HM-4864R3	4.12.0000.69-0	Memória RAM

TRANSISTORES/DIÓDOS

T1 } T2 } T3 } T4 }	BC-550B	4.03.0000.34-3	Amplificador
D1	1N-4148	4.04.4148.00-7	Proteção
D2	1N-4001	4.04.0004.01-7	Proteção

CAPACITORES

C1	-	4.19.0000.29-2	10mF x 50V E
C2	-	4.19.0000.25-6	22mF x 50V E
C3 } C8 }	-	4.20.0000.67-2	100KpF x 25V C
C9	-	4.19.0000.29-2	10mF x 50V E
C10	-	4.20.0000.67-2	100KpF x 25V C
C11	-	4.20.0000.67-2	100KpF x 25V C
C12	-	4.23.0000.03-6	Trimmer - 6,8 45pF

C13 } C18 }	-	4.20.0000.67-2	100KpF x 25V C
C19	VCCCPA1H3150J	4.20.0150.05-5	15pF x 500V C
C21	VCCCPA1H3150J	4.20.0150.05-5	15pF x 500V C
C22 } C26 }	-	4.20.0000.67-2	100KpF x 25V C
C27	-	4.20.0000.06-6	12pF x 500V C
C28	-	4.20.0000.67-2	100KpF x 25V C
C29	-	4.20.0000.67-2	100KpF x 25V C
C30	-	4.20.0000.67-2	100KpF x 25V C
C31	VCKYPU1HB102K	4.20.0001.02-9	1KpF x 500V C
C32 } C41 }	-	4.20.0000.67-2	100KpF x 25V C
C42	VCEAAU1CW477M	4.19.0000.52-2	470mF x 16V E

RESISTORES

R1	VRD-ST2EY272J	4.11.0272.00-4	2K7
R2	VRD-ST2EY103J	4.11.0103.00-9	10K
R3	VRD-ST2EY103J	4.11.0103.00-9	10K
R4	VRD-ST2EY682J	4.11.0682.00-8	6K8
R5	VRD-ST2EY103J	4.11.0103.00-9	10K
R6	VRD-ST2EY331J	4.11.0331.00-3	330
R7	VRD-ST2EY102J	4.11.0102.00-0	1K
R8	VRD-ST2EY153J	4.11.0153.00-8	15K
R9	VRD-ST2EY224J	4.11.0224.00-3	220K
R10	VRD-ST2EY103J	4.11.0103.00-9	10K
R11	VRD-ST2EY102J	4.11.0102.00-0	1K
R12	VRD-ST2EY472J	4.11.0472.00-2	4K7
R13	VRD-ST2EY271J	4.11.0271.00-5	270
R14	VRD-ST2EY391J	4.11.0391.00-0	390
R15	VRD-ST2EY563J	4.11.0563.00-2	56K
R16	VRD-ST2EY333J	4.11.0333.00-1	33K
R17	VRD-ST2EY102J	4.11.0102.00-0	1K
R18	VRD-ST2EY101J	4.11.0101.00-1	100
R19	VRD-ST2EY472J	4.11.0472.00-2	4K7
R20	VRD-ST2EY473J	4.11.0473.00-1	47K
R21	VRD-ST2EY104J	4.11.0104.00-8	100K
R22	VRD-ST2EY103J	4.11.0103.00-9	10K
R23	VRD-ST2EY331J	4.11.0331.00-3	330
R24	VRD-ST2EY331J	4.11.0331.00-3	330
R25	VRD-ST2EY473J	4.11.0473.00-1	47K
R26	VRD-ST2EY103J	4.11.0103.00-9	10K
R27	VRD-ST2EY271J	4.11.0271.00-5	270
R28 } R35 }	VRD-ST2EY332J	4.11.0332.00-2	3K3
R36	VRD-ST2EY332J	4.11.0332.00-2	3K3
R37	VRD-ST2EY332J	4.11.0332.00-2	3K3
R38	VRD-ST2EY271J	4.11.0271.00-5	270
R39	VRD-ST2EY474J	4.11.0474.00-0	470K
R40	VRD-ST2EY471J	4.11.0471.00-3	470
R42	VRD-ST2EY471J	4.11.0471.00-3	470
R43	VRD-ST2EY102J	4.11.0102.00-0	1K
R44 } R47 }	VRD-ST2EY472J	4.11.0472.00-2	4K7

DIVERSOS

X1	-	4.05.0000.06-4	Crystal - 10,738635 MHz
SW1	-	4.16.0000.34-8	Chave Reset
RL1	-	4.17.0000.05-2	Relé - 6V

MODULADOR DE RF

CIRCUITOS INTEGRADOS

CI301	4013BP	4.12.0000.68-1	Flip Flop - D
CI302	4016	2.4.12.0003.23-8	Chaveamento Bi-lateral
CI303	LM1889N	2.4.12.0003.21-0	Modulador de Vídeo

TRANSISTORES

T301	BC-317	4.03.0000.43-2	Casador
T302	BC-320	4.03.0000.42-3	Separador
T303	PN-2222	4.03.0000.32-5	Inversor
T305	BC-550B	4.03.0000.34-3	Casador

DIODOS

D301	1N914	4.04.0000.34-2	Somador
D302	BB119	4.04.0000.33-3	Vanacap

BOBINAS

L301	-	-	-
L302	-	-	-
L303	VRDF580K0000	4.08.0001.50-6	68uH
L311	-	-	-
L312	-	-	-
L304	-	4.08.0003.99-7	0.2uH
L305	-	4.08.0003.99-7	0.2uH
L306	-	4.09.0003.96-9	Defasador
L307	-	4.08.0003.98-8	4.5MHz
L308	-	4.08.0004.21-9	0.096uH
L309	-	4.08.0004.22-8	0.11uH
L310	-	4.08.0004.23-7	0.126uH

CAPACITORES

C301	VCEAAA1CW476M	4.19.0000.44-3	47mF	x	25V	E
C302	-	4.20.0001.27-0	10KpF	x	100V	C
C303	VCEAAA1CW476M	4.19.0000.44-3	47mF	x	25V	E
C304	-	4.20.0001.27-0	10KpF	x	100V	C
C305	VCEAAA1HW105M	4.19.0000.47-0	1mF	x	63V	E
C306	-	4.20.0104.03-4	100KpF	x	50V	C
C307	VCKZPA1HB471K	4.20.0471.02-0	470pF	x	500V	C
C308	-	4.20.0000.48-6	120pF	x	100V	C
C309	VCKZPU1HF473Z	4.20.0473.03-7	47KpF	x	50V	C
C310	VCKZPU1HF473Z	4.20.0473.03-7	47KpF	x	50V	C
C311	VCEAAA1HW105M	4.19.0000.47-0	1mF	x	63V	E
C312	-	4.20.0102.00-9	1KpF	x	500V	C
C313	VCCSPR1H6470J	4.20.0000.22-6	47pF	x	100V	C
C314	-	4.20.0102.00-9	1KpF	x	500V	C
C315	VCCSPR1H6470J	4.20.0000.22-6	47pF	x	100V	C
C316	-	4.20.0001.27-0	10KpF	x	100V	C
C317	-	4.20.0001.27-0	10KpF	x	100V	C
C318	-	4.20.0001.27-0	10KpF	x	100V	C
C319	-	4.20.0000.48-6	120pF	x	100V	C
C320	-	4.20.0000.37-9	56pF	x	250V	C
C321	-	4.20.0001.27-0	10KpF	x	100V	C
C322	VCCCPA1HH270J	4.20.0000.63-6	27pF	x	250V	C
C323	VCEAAA1CW107M	4.19.0000.45-2	100mF	x	16V	E

C325	-	4.19.0000.24-7	220mF	x	10V	E
C326	VCEAAA1CW226M	4.19.0000.50-4	22mF	x	25V	E
C327	VCCSPA1H6820J	4.20.6820.27-6	82pF	x	500V	C
C328	VCCSPU1H6220J	4.20.6220.10-1	22pF	x	250V	C
C329	-	4.19.0000.31-8	4.7mF	x	63V	E
C330	-	4.20.0000.37-9	56pF	x	250V	C
C331	-	4.20.0000.02-0	33pF	x	100V	C
C332	VCCCPA1HH330J	4.20.0000.64-5	33pF	x	250V	C
C333	-	4.20.0001.23-4	150pF	x	100V	C
C334	-	4.20.0000.06-6	12pF	x	500V	C
C335	-	4.20.0000.05-7	100pF	x	250V	C
C336	-	4.20.0000.48-6	120pF	x	100V	C
C337	VCCCPA1HH330J	4.20.0000.64-5	33pF	x	250V	C
C338	VCCCPA1HH330J	4.20.0000.64-5	33pF	x	250V	C

RESISTORES

R301	VRD-ST2EY333J	4.11.0333.00-1	33K
R302	VRD-ST2EY103J	4.11.0103.00-9	10K
R303	VRD-ST2EY391J	4.11.0391.00-0	390
R304	VRD-ST2EY124J	4.11.0124.00-4	120K
R305	VRD-ST2EY272J	4.11.0272.00-4	2K7
R306	VRD-ST2EY103J	4.11.0103.00-9	10K
R307	VRD-ST2EY102J	4.11.0102.00-0	1K
R308	VRD-ST2EY392J	4.11.0392.00-9	3K9
R309	VRD-ST2EY333J	4.11.0333.00-1	33K
R310	VRD-ST2EY122J	4.11.0122.00-6	1K2
R311	VRD-ST2EY103J	4.11.0103.00-9	10K
R312	VRD-ST2EY103J	4.11.0103.00-9	10K
R313	VRD-ST2EY101J	4.11.0101.00-1	100
R314	-	-	-
R315	VRD-ST2EY221J	4.11.0221.00-6	220
R316	-	-	-
R317	-	-	-
R325	VRD-ST2EY471J	4.11.0471.00-3	470
R327	VRD-ST2EY471J	4.11.0471.00-3	470
R328	VRD-ST2EY5R6J	4.11.05R6.00-3	5R6
R329	VRD-ST2EY222J	4.11.0222.00-5	2K2
R330	VRD-ST2EY273J	4.11.0273.00-3	27K
R331	VRD-ST2EY333J	4.11.0333.00-1	33K
R332	VRD-ST2EY220J	4.11.0220.00-6	22
R333	VRD-ST2EY223J	4.11.0223.00-4	22K
R334	VRD-ST2EY222J	4.11.0222.00-5	2K2
R335	-	4.11.0001.43-1	5K1
R336	VRD-ST2EY682J	4.11.0582.00-8	6K8
R337	VRD-ST2EY103J	4.11.0103.00-9	10K
R338	VRD-ST2EY101J	4.11.0101.00-1	100
R339	-	4.11.0000.12-9	680 1/6W
R340	-	4.11.0000.12-9	680 1/6W
R341	VRD-ST2EY680J	4.11.0680.00-0	68W

DIVERSOS

SW301	-	4.16.0000.35-7	Chave - Canal 3 ou 4
VR301	-	4.22.0000.12-6	3K3. Amplitude

FONTE

CIRCUITOS INTEGRADOS

CI101	741C	4.12.0000.31-5	Regulador
CI102	LM723C	4.12.0000.30-6	Regulador
CI103	7912	4.12.0000.29-9	Regulador